

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-313559

(43) Date of publication of application : 09.11.2001

(51) Int. Cl.

H03K 19/0175

H01L 27/04

H01L 21/822

(21) Application number : 2001-045575 (71) Applicant : YAMAHA CORP

(22) Date of filing : 21. 02. 2001 (72) Inventor : TSUJI NOBUAKI

(30) Priority

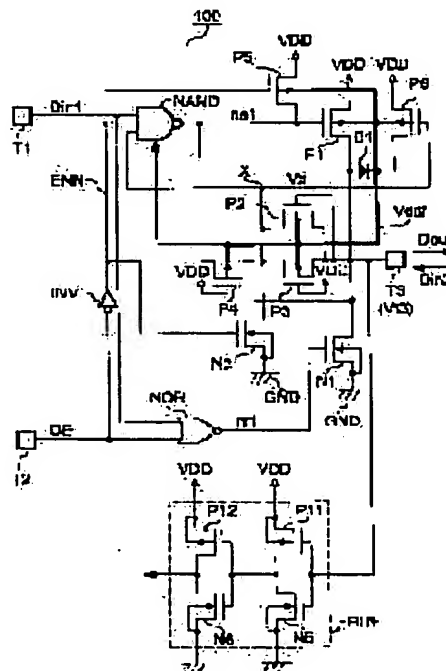
Priority number : 2000044863 Priority date : 22.02.2000 Priority country : JP

(54) BUFFER CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a buffer circuit where a chip area is reduced while reducing a leak current.

SOLUTION: Transistors (TRs) P1, N1 are output TRs and require a large size because they conduct current amplification. However, there is no TR requiring a large current except them. On the other hand, P-channel TRs P1-P6 and a P-channel TR being a component of a NAND circuit NAND are formed on a common bulk kept to a floating state. Thus, a voltage V_t at an input output terminal T3 is higher than a power supply voltage VDD and even when a parasitic diode D1 is conductive, the common bulk is biased only and no leak current flows via the bulk.



LEGAL STATUS

[Date of request for examination] 12. 03. 2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

BEST AVAILABLE COPY

[Date of final disposal for application]

[Patent number] 3551926

[Date of registration] 14. 05. 2004

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-313559
(P2001-313559A)

(43) 公開日 平成13年11月9日 (2001.11.9)

(51) Int.Cl.⁷

H 0 3 K 19/0175

H 0 1 L 27/04

21/822

識別記号

F I

H 0 3 K 19/00

H 0 1 L 27/04

テマコード* (参考)

1 0 1 S 5 F 0 3 8

F 5 J 0 5 6

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願2001-45575 (P2001-45575)

(22) 出願日 平成13年2月21日 (2001.2.21)

(31) 優先権主張番号 特願2000-44863 (P2000-44863)

(32) 優先日 平成12年2月22日 (2000.2.22)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 辻 信昭

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(74) 代理人 100098084

弁理士 川▲崎▼ 研二

Fターム (参考) 5F038 AV06 CD08 CD13 DF01 DF06
EZ20

5J056 AA01 AA04 BB49 BB57 DD12

DD28 DD55 EE03 EE04 EE07

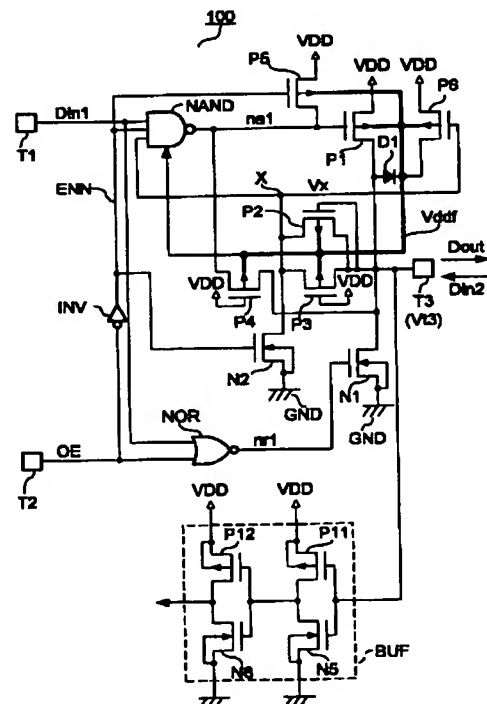
FF07 FF08 GG12 KK02

(54) 【発明の名称】 バッファ回路

(57) 【要約】

【課題】 リーク電流を削減しつつ、チップ面積を縮小させる。

【解決手段】 トランジスタP1及びN1は出力用トランジスタであり、電流増幅を行うため、そのサイズは大きくなるが、これ以外に大電流が流れるトランジスタはない。一方、PチャネルトランジスタP1～P6およびナンド回路NANDを構成するPチャネルトランジスタは、フローティング状態に保持された共通バルク上に形成されている。したがって、入出力端子T3の電圧Vt3が電源電圧VDDを上回り、寄生ダイオードD1がオン状態になったとしても、共通バルクはバイアスされるだけであり、バルクを介してリーク電流が流れることはない。



1

【特許請求の範囲】

【請求項 1】 高電位電圧が給電される第 1 の電源端子と低電位電圧が給電される第 2 の電源端子とを備え、イネーブル信号に基づいて出力端子から信号を出力するか、あるいは前記出力端子をハイインピーダンス状態にするかを制御可能なバッファ回路であって、前記第 1 の電源端子と前記出力端子との間に接続される第 1 の P チャネルトランジスタと、前記出力端子と前記第 2 の電源端子との間に接続される第 1 の N チャネルトランジスタと、ゲート電極が前記出力端子と接続されるとともに、前記出力端子とノードとの間に設けられた第 2 の P チャネルトランジスタと、ゲート電極が前記第 1 の電源端子と接続されるとともに、前記出力端子と前記ノードとの間に設けられた第 3 の P チャネルトランジスタと、ゲート電極が前記第 1 の電源端子と接続されるとともに、前記出力端子と前記第 1 の P チャネルトランジスタのゲート電極との間に設けられた第 4 の P チャネルトランジスタと、ゲート電極に前記イネーブル信号を反転した信号が供給されるとともに、前記第 1 の電源端子と前記第 1 の P チャネルトランジスタのゲート電極との間に設けられた第 5 の P チャネルトランジスタと、前記第 1 乃至第 5 の P チャネルトランジスタと共通のバルク上に形成され、ドレイン電極が前記バルクと接続され、ソース電極が前記第 1 の電源端子に接続され、ゲート電極が前記ノードと接続される第 6 の P チャネルトランジスタと、ゲート電極に反転した前記イネーブル信号が供給されるとともに、前記ノードと前記第 2 の電源端子との間に設けられた第 2 の N チャネルトランジスタと、前記イネーブル信号がアクティブの場合に入力信号を反転した信号を前記第 1 の P チャネルトランジスタのゲート電極と前記第 1 の N チャネルトランジスタのゲート電極とに印加する論理回路とを備えたことを特徴とするバッファ回路。

【請求項 2】 請求項 1 に記載のバッファ回路であって、前記論理回路は、第 1 の回路と第 2 の回路とを備え、前記第 1 の回路は、前記イネーブル信号がアクティブの場合に前記入力信号を反転した信号を前記第 1 の N チャネルトランジスタのゲート電極に印加する一方、前記イネーブル信号が非アクティブの場合に当該ゲート電極に前記高電位電圧を印加するものであり、前記第 2 の回路は、前記第 1 の電源端子と接続点との間に直列に設けられた第 7 及び第 8 の P チャネルトランジスタと、前記第 1 の電源端子と前記接続点との間に直列に設けられた第 9 及び第 10 の P チャネルトランジスタと、

2

前記接続点と前記第 2 の電源端子との間に設けられた第 3 及び第 4 の N チャネルトランジスタとを備え、

前記第 7 乃至第 10 の P チャネルトランジスタは前記バルク上に形成されており、

前記第 7 の P チャネルトランジスタと前記第 3 の N チャネルトランジスタの各ゲート電極には、前記入力信号が供給され、

前記第 9 の P チャネルトランジスタと前記第 4 の N チャネルトランジスタの各ゲート電極には、前記イネーブル信号が供給され、

前記第 8 及び第 10 の P チャネルトランジスタのゲート電極は前記ノードと接続されることを特徴とするバッファ回路。

【請求項 3】 前記第 5 の P チャネルトランジスタに他のトランジスタに比較してオン抵抗の大きなものを用いることを特徴とする請求項 1 または 2 に記載のバッファ回路。

【請求項 4】 前記イネーブル信号を反転した信号を遅延して前記第 2 の N チャネルトランジスタのゲート電極に出力する遅延回路を備えたことを特徴とする請求項 3 に記載のバッファ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、データを双方向に入出できる出力端子を備えたバッファ回路に関する。

【0002】

【従来の技術】 半導体集積回路技術においては、素子の集積度を高めるとともに消費電力を低減することが重要である。集積回路の消費電力を低減させるためには電源電圧をより低電圧にするのが効果的である。従来、電源電圧を 5 V から 3.3 V に、変更されるまでの過渡期においては、集積回路中の一部の回路は標準の 5 ボルトの電圧で動作するように設計され、他の回路はこれより低い 3.3 ボルトの電圧で動作するように設計された多電源電圧の混合回路が使用されることになる。このような混合回路において、5 V 動作の回路から 3.3 V 動作の回路に信号が入力されると、3.3 V 動作の回路中の一部の素子に、電流漏れ通路が形成されたり、あるいは入力端子に電源電圧より高い電圧が印加されたとき、PMOS と NMOS との pnpn の構造の SCR が導通し、大電流が流れ発熱するラッチアップといった問題が生じる。

【0003】 上記問題を解決する回路として、特公平 7-79232 号公報には、図 4 に示すドライバ回路が開示されている。このドライバ回路の電源電圧 VDD は 3.3 V であり、出力イネーブル端子 10 に供給されるイネーブル信号 EN が H レベル (3.3 V) のとき、データ入力端子 28 に供給されるデータ D をデータ出力端子 24 から取り出すことができる一方、イネーブル信号 EN が L レベル (0 V) のときデータ出力端子 24 の出

3

カインピーダンスがハイインピーダンス状態となる。したがって、データ出力端子24に接続されるバスに外部から5Vの信号を供給できるようになっている。また、このドライバ回路は、p形シリコン基板を用いて作られており、Nチャンネルトランジスタは、p形シリコン基板上に形成されたNウェル上に形成される。特に、Nチャンネルトランジスタ30、32、36、及び38は、フローティング状態とされる同一のNウェル上に形成されている。

【0004】まず、イネーブル信号ENがHレベルである場合を考える。この場合、Nチャンネルトランジスタ12がオン状態となるため、トランジスタ34もオン状態になりPチャンネルトランジスタ32のゲート電圧がLレベルとなる。Pチャンネルトランジスタ32はオン状態となる。また、Nチャンネルトランジスタ26のゲート電圧は常にVDDであるから、このトランジスタもオン状態となっている。一方、Pチャンネルトランジスタ30およびNチャンネルトランジスタ22の各ゲート電圧は、ともにデータDを反転したものとなる。したがって、データDがHレベルであるとき、データ出力端子24の電圧はHレベルとなる一方、データDがLレベルであるときデータ出力端子24の電圧はLレベルとなる。

【0005】次に、イネーブル信号ENがLレベルである場合を考える。この場合には、Nチャンネルトランジスタ12がオフ状態となり、Nチャンネルトランジスタ22のゲート電圧がLレベルとなって、Nチャンネルトランジスタ22はオフ状態となる。また、Pチャンネルトランジスタ30のゲート電圧がHレベルとなって、これがオフ状態となる。したがって、データ出力端子24の出力インピーダンスがハイインピーダンス状態となる。

【0006】このとき、スイッチ44をオン状態にすると、5V動作の外部機器42から、Lレベルが0V、Hレベルが5Vである出力信号Sがドライバ回路に供給されたとする。Pチャンネルトランジスタ30の閾値電圧が0.7V、信号Sの電圧が5Vであるとすれば、Pチャンネルトランジスタ30はオン状態になる。すると、ノードBの電圧が5Vとなる一方、Pチャンネルトランジスタ36のゲート電圧は0Vであるため、トランジスタ36がオン状態となる。このため、Pチャンネルトランジスタ32がオフ状態になり、電流が第1の電圧源28(VDD)側に漏れるのを防止できる。

【0007】また、Pチャンネルトランジスタ30、32、及び36のNウェルは、それらのドレインとNウェルとの間に形成された寄生ダイオードにより自己バイアスされる。したがって、Nウェルとp形シリコン基板を含む寄生pnpトランジスタを介した電流のフィードバックがなくなる。さらに、Pチャンネルトランジスタ38を設けることにより、データ出力端子24の電圧がLレベルのときは常に、Nウェルは電源電圧VDDにバイアスされる。これにより、信号SがLレベルからHレベルに

(3)

特開2001-313559

4

遷移する間に、寄生pnpトランジスタがオンになる可能性が最小になる。このように、図4に示すドライバ回路によれば、半導体基板に通じる電流漏れ経路が無く、ラッチアップ問題を防止することができる。

【0008】

【発明が解決しようとする課題】ところで、上述したドライバ回路において、データ出力端子24からデータDを出力する際に、出力電流を大きく取ろうとすると、Pチャンネルトランジスタ32、30、およびNチャンネルトランジスタ22、26から取り出す電流を大きくする必要があり、ゲート幅を増大させる必要がある。したがって、チップサイズが大きくなる。実際の回路では、複数のトランジスタを並列に接続して、Pチャンネルトランジスタ32、30、およびNチャンネルトランジスタ22、26が各トランジスタを構成することとなる。しかしながら、このように、ドライバ回路のチップサイズが大きくなると製造コストが上昇するとともに、多数の素子を使用する必要があるため回路の製造歩留まりが低下するといった問題がある。

20 【0009】本発明は、上述した事情に鑑みてなされたものであり、半導体基板に通じる電流漏れ経路が無くしつつ、チップサイズを縮小できるドライバ回路を提供することを目的とする。

【0010】

【課題を解決するための手段】上述した課題を解決するため、本発明のバッファ回路は、高電位電圧が給電される第1の電源端子と低電位電圧が給電される第2の電源端子とを備え、イネーブル信号に基づいて出力端子から信号を出力するか、あるいは前記出力端子をハイインピーダンス状態にするかを制御可能なものであって、前記第1の電源端子と前記出力端子との間に接続される第1のPチャンネルトランジスタと、前記出力端子と前記第2の電源端子との間に接続される第1のNチャンネルトランジスタと、ゲート電極が前記出力端子と接続されるとともに、前記出力端子とノードとの間に設けられた第2のPチャンネルトランジスタと、ゲート電極が前記第1の電源端子と接続されるとともに、前記出力端子と前記第1のPチャンネルトランジスタのゲート電極との間に設けられた第4のPチャンネルトランジスタと、ゲート電極に前記イネーブル信号を反転した信号が供給されるとともに、前記第1の電源端子と前記第1のPチャンネルトランジスタのゲート電極との間に設けられた第5のPチャンネルトランジスタと、前記第1乃至第5のPチャンネルトランジスタと共通のバルク上に形成され、ドレイン電極が前記バルクと接続され、ソース電極が前記第1の電源端子に接続され、ゲート電極が前記ノードと接続される第6のPチャンネルトランジスタと、ゲート電極に反転した前記イネーブル信号が供給

50

5

されるとともに、前記ノードと前記第2の電源端子との間に設けられた第2のNチャネルトランジスタと、前記イネーブル信号がアクティブの場合に入力信号を反転した信号を前記第1のPチャネルトランジスタのゲート電極と前記第1のNチャネルトランジスタのゲート電極とに印加する論理回路とを備えたことを特徴とする。

【0011】このバッファ回路において、前記論理回路は、第1の回路と第2の回路とを備え、前記第1の回路は、前記イネーブル信号がアクティブの場合に前記入力信号を反転した信号を前記第1のNチャネルトランジスタのゲート電極に印加する一方、前記イネーブル信号が非アクティブの場合に当該ゲート電極に前記高電位電圧を印加するものであり、前記第2の回路は、前記第1の電源端子と接続点との間に直列に設けられた第7及び第8のPチャネルトランジスタと、前記第1の電源端子と前記接続点との間に直列に設けられた第9及び第10のPチャネルトランジスタと、前記接続点と前記第2の電源端子との間に設けられた第3及び第4のNチャネルトランジスタとを備え、前記第7乃至第10のPチャネルトランジスタは前記バルク上に形成されており、前記第7のPチャネルトランジスタと前記第3のNチャネルトランジスタの各ゲート電極には、前記入力信号が供給され、前記第9のPチャネルトランジスタと前記第4のNチャネルトランジスタの各ゲート電極には、前記イネーブル信号が供給され、前記第8及び第10のPチャネルトランジスタのゲート電極は前記ノードと接続されることが好ましい。

【0012】さらに、上述したバッファ回路は、前記第5のPチャネルトランジスタに他のトランジスタと比較してオン抵抗の大きなものを用いることが望ましい。くわえて、上述したバッファ回路は、前記イネーブル信号を反転した信号を遅延して前記第2のNチャネルトランジスタのゲート電極に出力する遅延回路を備えることが好ましい。

【0013】

【発明の実施の形態】[A. 第1実施形態]以下、本発明の第1実施形態に係るバッファ回路を図面を参照しつつ、説明する。

【0014】[1. 第1実施形態の構成]図1は、本発明の一実施形態に係るバッファ回路の主要構成を示す回路図である。また図5は、バッファ回路の要部断面図である。図1に示すようにバッファ回路100は、PチャネルトランジスタP1～P6およびP11、P12、NチャネルトランジスタN1、N2、N5、N6、ナンド回路NAND、ノア回路NOR、インバータ回路INV1、入力端子T1、イネーブル端子T2、及び入出力端子T3を備えている。なお、D1はPチャネルトランジスタP1のドレイン電極とバルクとの間に形成される寄生ダイオードである。

【0015】またバッファ回路100は、第1及び第2

(4)

特開2001-313559

6

の電源端子を備えており（図示略）、第1の電源端子から高電位側の電源電圧VDDが給電され、第2の電源端子には低電位側の電源電圧GNDが給電されるようになっている。VDDは、例えば、3.3Vである。イネーブル端子T2には、Lレベルでアクティブとなるイネーブル信号OEが供給され、入力端子T1には、第1入力データDin1が供給されるようになっている。イネーブル信号OEと第1入力データDin1の論理レベル電圧は、LレベルがGNDとなる一方、HレベルがVDDとなる。

10

【0016】また、イネーブル信号OEがLレベルのとき、入出力端子T3から出力データDoutが出力されるようになっている。出力データDoutの論理レベル電圧は、LレベルがGNDとなる一方、HレベルがVDDとなる。これに対して、イネーブル信号OEがHレベルの場合には、入出力端子T3の出力インピーダンスはハイインピーダンス状態となる。このとき、外部回路110から第2入力データDin2が供給されるようになっている。第2入力データDin2の論理レベル電圧は、LレベルがGNDとなる一方、HレベルがVDD'となる。VDD'は、例えば、5Vである。すなわち、このバッファ回路100には、第1入力データDin1をバッファリングして入出力端子T3から出力データDoutを出力させる出力モードと、第2入力データDin2を入出力端子T3を介して取り込む入力モードとがある。

20

【0017】次に、PチャネルトランジスタP1とNチャネルトランジスタN1は、電流増幅用の出力トランジスタであって、それらのセル面積は大きく、現実の集積回路上では複数のトランジスタを並列接続して構成される。

30

【0018】図5に示すように、PチャネルトランジスタP2、P3、…、P6と後述するナンド回路NANDを構成するPチャネルトランジスタP7～P10とは、共通のバルク領域103aを有している。なお、図1と後述する図2において、共通バルクの部分は太線で示す。この例では、シリコン基板101にp形を用いており、当該バルク領域103aはp形シリコン基板101上に形成されるnウエルである。なお、シリコン基板101にn形を用いる場合には、当該バルク領域はn形シリコン基板となる。また、共通バルク領域103aには、電源電圧VDDや接地電圧GNDを給電するための端子が設けられておらず、共通バルク領域103aはフローティング状態となっている。以下の説明では共通バルク領域103aの電圧をVddfと称することにする。

40

【0019】より詳細には、p形シリコン基板101上に、pウエル103とnウエル104とが形成されている。pウエル103とnウエル105とは、例えばLOCOS (Local oxidation of silicon) 法により形成された酸化シリコン層107により分離されている。

50

7

【0020】pウエル103は、酸化シリコン層107により分離された複数の領域を含んでいる。図5においては、第1のpウエル領域と第2のpウエル領域103bとが示されており、第1のpウエル領域を特に共通バルク領域103aと称する。共通バルク領域103aには、第1のPチャネルトランジスタP1と、第2から第6までのPチャネルトランジスタP2～P6までとが形成されている。加えて、共通バルク領域103aには、後述する出力バッファ回路BUFに含まれる第7から第10までのPチャネルトランジスタP7～P10が形成されている。

【0021】各トランジスタは、酸化シリコンにより形成されるゲート絶縁膜111を介して形成されたゲート電極G、ソース電極S、及びドレインD電極を有している。第6のPチャネルトランジスタP6のドレイン電極Dに接して、高濃度のn型領域113が形成されている。ドレインDと高濃度のn型領域113との上に、共通電極115が形成されている。nウエル105内には、第1のn型トランジスタN1が含まれる。第1のnチャネルトランジスタN1のドレイン電極Dと、第1のPチャネルトランジスタP1とが結線され、出力端子T3を形成する。共通バルク領域は、複数の領域からなり、それぞれが共通に配線されていても良い。

【0022】次に、PチャネルトランジスタP2及びP3は、ノードXと入出力端子T3との間に介挿されており、スイッチとして作用する。特に、PチャネルトランジスタP3は、入力モードにおいて、入出力端子T3の電圧Vt3が電源電圧VDDを越える場合、すなわち、第2入力データDin2がHレベルのときに、オン状態となりノードXにVt3を給電する機能がある。

【0023】次に、PチャネルトランジスタP5は、出力モードにおいてオン状態となり、PチャネルトランジスタP1のゲート電極に電源電圧VDDを印加して、これを確実にオフ状態とする機能がある。また、PチャネルトランジスタP4は、電圧Vt3が電源電圧VDDを越える場合にオン状態となりVDDを給電する機能がある。

【0024】次に、PチャネルトランジスタP6は、出力モードにおいてオン状態となり、共通バルク領域103aに電源電圧VDDを給電する一方、入力モードにおいてオフ状態となって共通バルク領域103aに電源電圧VDDを給電しない機能がある。さらに、NチャネルトランジスタN2は、出力モードにおいてオン状態となりノードXを0Vにバイアスする機能がある。

【0025】次に、ナンド回路NANDの構成を示す回路図を図2に示す。この図に示すようにナンド回路NANDは、PチャネルトランジスタP7～P10とNチャネルトランジスタN3、N4とを備えている。このナンド回路NANDは、第1に、PチャネルトランジスタP7～P10のバルクとして上述した共通バルク領域

8

103aが用いられている点、第2に、PチャネルトランジスタP8及びP10が設けられている点に特徴がある。PチャネルトランジスタP8及びP10の各ゲート電極には、ノードXの電圧Vxが給電されているから、当該電圧VxがHレベルのとき、これらのトランジスタP8及びP10はオフ状態となる。

【0026】以上の構成において、出力段のトランジスタはPチャネルトランジスタP1とNチャネルトランジスタN1のみによって構成されているから、出力モードにおいて大きな出力電流を入出力端子T3から取り出す場合であっても、これらのトランジスタP1及びN1についてのミトランジスタサイズを大きくすれば足りるので、バッファ回路100のチップ面積を小さくすることが可能となる。また、PチャネルトランジスタP2～P10の共通バルク領域103aはフローティング状態とされているから、入力モードにおいて入出力端子の電圧Vt3が電源電圧VDDを越えたとしても、寄生ダイオードD1を介して共通バルク領域103aがバイアスされるだけであり、大きなリーク電流が流れて、ラッチアップを起こすといったことがない。

【0027】図1に示すように、バッファ回路100は出力端子T3に接続される出力バッファ回路BUFを有している。出力バッファ回路BUFは、第11のP型トランジスタP11と、第5のn型トランジスタN5よりなる第1のCMOSインバータOB1と、第12のP型トランジスタP12と、第6のn型トランジスタN6よりなる第2のCMOSインバータOB2とを含む。出力バッファ回路BUFにより、出力信号を増幅する。

【0028】[2. 第1実施形態の動作] 次に、バッファ回路100の動作を出力モードと入力モードに分けて説明する。

[2-1: 入力モード] 入力モードでは、イネーブル信号OEがHレベルとなる。

[2-1-1: $0V < V_{t3} < V_{DD}$] PチャネルトランジスタP1～P6により、VDDとVddfの間にpn接合ダイオードが挿入された状態となる。したがってVddfは、VDDよりダイオードの順方向のオン電圧Vfだけ低い値となる。

【0029】ところで、端子T2に供給されるイネーブル信号OEがHレベルであるから、ナンド回路NANDの出力信号na1はHレベルとなり、その電圧は本来電源電圧VDDと一致するはずである。しかし、その出力信号na1の電圧は、電源電圧VDD→P7, P8又はP9, P10→na1の経路で与えられる。このため、ナンド回路NANDのみでは、PチャネルトランジスタP1のゲート電圧を確実に電源電圧VDDと一致させることができない。この問題を解決するため、PチャネルトランジスタP5が設けられている。すなわち、PチャネルトランジスタP5のゲート電極には、反転イネーブル信号ENNが供給されているので、入力モードではこ

9

れがオン状態となる。したがって、出力信号 $n a 1$ の電圧を電源電圧 VDD と一致させることができ、これにより、Pチャネルトランジスタ $P 1$ を確実にオフ状態とすることができる。したがって、バッファ回路 100 は、不要なリーク電流が流れることがなく、正常に動作する。

【0030】[2-1-2: $V t 3 > VDD$] 次に、 $V t 3 > VDD$ の場合を考える。例えば、第2入力データ $D in 2$ の電圧が $5V$ となった場合である。この場合にも信号 $n r 1$ の電圧は $0V$ になるから、Nチャネルトランジスタ $N 1$ はオフ状態になる。また、 $V t 3 > VDD$ より、Pチャネルトランジスタ $P 2$ がオフ状態となる一方、Pチャネルトランジスタ $P 3$ はオン状態となる。したがって、ノード X の電圧 $V x$ は $V t 3$ と一致し、Pチャネルトランジスタ $P 6$ がオフ状態になる。

【0031】ところで、Pチャネルトランジスタ $P 1$ のドレイン電極と共通バルクとの間には寄生ダイオード $D 1$ が付随している。入出力端子 $T 3$ の電圧 $V t 3$ が電源電圧 VDD を上回ると、この寄生ダイオード $D 1$ がオン状態となる。寄生ダイオード $D 1$ の順方向降下電圧を $V f$ で表すことにすると、共通バルクの電圧 $V d d f$ は、 $V d d f = V t 3 - V f$ となる。次に、反転イネーブル信号 $E N N$ は $0V$ であるから、Nチャネルトランジスタ $N 2$ はオフ状態となる。また、 $V t 3 > VDD$ より、Pチャネルトランジスタ $P 3$ がオン状態となり、ノード X に電圧 $V t 3$ が給電される。また、 $V x$ が $V t 3$ と一致するとともに $V d d f = V t 3 - V f$ となることから、ナンド回路 $NAND$ を構成するPチャネルトランジスタ $P 8$ 及び $P 10$ はオフ状態となる。さらに、反転イネーブル信号 $E N N$ の電圧は $0V$ であるから、Nチャネルトランジスタ $N 4$ は、オフ状態となる。

【0032】また、 $E N N = 0V$ 、Pチャネルトランジスタ $P 4$ がオンすることにより、 $n a 1 = V t 3$ 、 $V d d f = V t 3 - V f$ であるから、Pチャネルトランジスタ $P 5$ のドレイン電圧は $V t 3$ となる。一方、Pチャネルトランジスタ $P 5$ のソース電圧は VDD となるから、Pチャネルトランジスタ $P 5$ はオン状態となり、電流が若干流れる。このとき、Pチャネルトランジスタ $P 1$ のゲート電圧は $V t 3$ となる。電圧 $V t 3$ は共通バルクの電圧 $V d d f$ より高いため、Pチャネルトランジスタ $P 1$ はオフ状態となる。したがって、この場合には、Pチャネルトランジスタ $P 5$ を除いて不要なリーク電流が流れる経路はない。なお、Pチャネルトランジスタ $P 2$ は、 $V t > VDD$ のとき、 $V x = V t 3$ と $V t 3$ が $0V$ になったときに、 $V x$ を $0V$ に引き下げる。但し、Pチャネルトランジスタ $P 3$ のみで、 $P 2$ が不在の場合でも、同じ動作を行うことができ、トランジスタ $P 2$ は任意に設ければ良い。

【0033】[2-2: 出力モード] 次に、出力モードの動作を説明する。出力モードではイネーブル信号 $O E$ が

(6)

特開2001-313559

10

Lレベルとなる。反転イネーブル信号 $E N N$ の電圧は VDD となるから、Nチャネルトランジスタ $N 2$ はオン状態となり、ノード X の電圧 $V x$ は $0V$ ととなる。出力モードでは、入出力端子 $T 3$ の電圧 $V t 3$ は電源電圧 VDD 以上にはならないので、Pチャネルトランジスタ $P 2$ 及び $P 3$ は、オフ状態となる。

【0034】一方、Pチャネルトランジスタ $P 6$ のゲート電極には電圧 $V x (=0V)$ が供給されるので、これがオン状態となる。このため、共通バルクに電源電圧 VDD が給電され、その電圧 $V d f f$ は VDD と一致する。したがって、ナンド回路 $NAND$ を構成するPチャネルトランジスタ $P 7 \sim P 10$ のバルク電圧も VDD となるので、ナンド回路 $NAND$ は一般的な論理積反転回路として動作する。より具体的には、 $V x = 0V$ であるからPチャネルトランジスタ $P 7$ 及び $P 8$ は常時オン状態となり、また、 $E N N = VDD$ であるからPチャネルトランジスタ $P 9$ がオフ状態となる一方、Nチャネルトランジスタ $N 4$ がオン状態となる。このため、ナンド回路 $NAND$ は、Pチャネルトランジスタ $P 7$ とNチャネルトランジスタ $N 3$ とを直列接続したインバータ回路と等価になる。したがって、ナンド回路 $NAND$ の出力信号 $n a 1$ は第1入力データ $D in 1$ を反転したものととなる。さらに、Pチャネルトランジスタ $P 5$ のゲート電圧は VDD となるので、Pチャネルトランジスタ $P 5$ はオフ状態となる。くわえて、Pチャネルトランジスタ $P 4$ もオフ状態となる。

【0035】これらより、出力モードのバッファ回路 100 は、第1の反転回路（ナンド回路 $NAND$ 及びノア回路 NOR が相当）と、Pチャネルトランジスタ $P 1$ とNチャネルトランジスタ $N 1$ から構成される第2の反転回路とを直列に接続したものと等価になる。したがって、バッファ回路 100 は、第1入力データ $D in 1$ と同一極性でかつ電流増幅された出力データ $D out$ を入出力端子 $T 3$ から出力することができる。また、出力モードでは、不要なリーク電流が流れる経路がない。

【0036】[2-3: Pチャネルトランジスタ $P 5$ のサイズ] ここで、Pチャネルトランジスタ $P 5$ のサイズについて検討する。まず、入力モードにおいては、 $V t 3 > VDD$ の場合にPチャネルトランジスタ $P 5$ にリーク電流が若干流れるものの、これを積極的にオン状態にしているのは、 $0V < V t 3 < VDD$ の場合であり、その目的はPチャネルトランジスタ $P 1$ のゲート電極に VDD をバイアスしてトランジスタ $P 1$ を確実にオフさせるためにある。したがって、Pチャネルトランジスタ $P 5$ のトランジスタサイズは、小さいもので足りる。

【0037】このように、第1実施形態のバッファ回路 100 にあっては、入力モードで $V t 3 > VDD$ の場合にPチャネルトランジスタ $P 5$ に若干のリーク電流が流れるものの、他の場合には不要な電流が流れず、ラッチアップ等の問題が発生することはない。さらに、図4に

10

20

30

40

50

11

示す従来のバッファ回路に比べて、出力段のPチャネルトランジスタとNチャネルトランジスタの数を削減することができるので、バッファ回路100が占有するチップ面積を大幅に削減することが可能となる。

【0038】[B. 第2実施形態] 上述した第1実施形態では、入力モードで $V_{t3} > V_{DD}$ の場合にPチャネルトランジスタ5に若干のリーク電流が流れた。第2実施形態は、この点に鑑みてなされたものであり、回路の消費電流をより一層削減することを目的とする。

【0039】図3は、第2実施形態に係るバッファ回路200の構成を示す回路図である。この図に示すようにバッファ回路200は、PチャネルトランジスタP5よりゲート長が長いPチャネルトランジスタP5'を用いた点、反転イネーブル信号ENNを遅延させる遅延回路DLをインバータINV1とNチャネルトランジスタN2のゲート電極との間に設けた点を除いて、図1に示す第1実施形態のバッファ回路100と同様に構成されている。

【0040】PチャネルトランジスタP5'は、ゲート長が長くなっているためPチャネルトランジスタP5と比較してオン抵抗が大きくなる。このため、出力モードにおいて、当該トランジスタのソース電極とドレイン電極との間に電圧($V_{t3} - V_{DD}$)が印加されたとき、そこを流れる電流値は、PチャネルトランジスタP5'の方が小さくなる。一般に、集積回路のトランジスタは、同一のセルによって形成されるが、この例では、PチャネルトランジスタP5'は別のセルによって形成される。例えば、他のPチャネルトランジスタP2~P12のゲート長が $10\mu\text{m}$ である場合に、PチャネルトランジスタP5'のゲート長は $100\mu\text{m}$ に設定する。これにより、入力モードにおいて $V_{t3} > V_{DD}$ の場合にPチャネルトランジスタP5'を流れる電流値を約1/10に削減することが可能となる。

【0041】ところで、PチャネルトランジスタP1のゲート電極には配線の引き回し等に起因して浮遊容量が付随している。このため、PチャネルトランジスタP5'のオン抵抗を大きくすると、時定数が大きくなる。したがって、出力モードにおいて仮に信号na1が0Vであるときに、出力モードから入力モードに切り替えたとしても、大きな時定数によって、PチャネルトランジスタP1のゲート電圧が次第に(ゆっくりと)0Vから V_{t3} に向けて上昇することになり、PチャネルトランジスタP1を確実に(迅速に)オフすることができなくなることがある。そこで、この例では、モードに切り替わり直後にPチャネルトランジスタP1のゲート電極に電圧VDDを給電すべく遅延回路DLを設けている。

【0042】遅延回路DLは、図3に示すようにバッファB、インバータINV2、INV3、PチャネルトランジスタP13、およびNチャネルトランジスタN7を備えている。この遅延回路DLによれば、各構成要素の

(7)

特開2001-313559

12

伝搬遅延によって、反転イネーブル信号ENNが遅延され、遅延反転イネーブル信号ENN'として出力されることになる。

【0043】これにより、NチャネルトランジスタN2は、反転イネーブル信号ENNがHレベルからLレベルに切り替わったとき、すなわち、出力モードから入力モードに切り替わったとき、やや遅れてオン状態からオフ状態に移移する。この結果、モードが入力モードに切り替わった直後では、NチャネルトランジスタN2がオン状態にあり、ノードXの電圧 V_x が0Vに維持されるから、図2に示すPチャネルトランジスタP8、P10がオン状態となる。このとき、PチャネルトランジスタP9のゲート電圧は既にLレベルとなっているから、ナンド回路NANDの出力信号na1の電圧は電源電圧VDDと一致する。その後、一定時間(例えば 15ns)が経過すると、NチャネルトランジスタN2はオフ状態に移移する。すると、第1実施形態と同様にPチャネルトランジスタP5がオン状態となり、PチャネルトランジスタP1のゲート電極を V_{t3} にバイアスすることになる。

【0044】このように第2実施形態においては、PチャネルトランジスタP5'のゲート長を長くしてオン抵抗を大きくすることによってリーク電流を削減するとともに、遅延回路DLを用いることにより、入力モードにおいてPチャネルトランジスタP1を確実にオフ状態とすることが可能となる。

【0045】

【発明の効果】 上述したように本発明に係る発明特定事項によれば、出力端子をハイインピーダンス状態に制御可能なバッファ回路において、電源電圧を上回る電圧が出力端子に印加されたとしても、リーク電流やラッチアップを防止しつつ、出力段のトランジスタを削減することができる。この結果、大きな電流を出力端子から取り出す場合であっても、バッファ回路のチップサイズを縮小して、コストを削減させるとともに歩留まりを低下させることができる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係るバッファ回路の構成を示す回路図である。

【図2】 同実施形態に用いられるナンド回路の回路図である。

【図3】 本発明の第2実施形態に係るバッファ回路の回路図である。

【図4】 従来のバッファ回路の構成を示す図である。

【図5】 本発明の第1実施形態に用いられるバッファ回路の一部構成を示す断面図である。

【符号の説明】

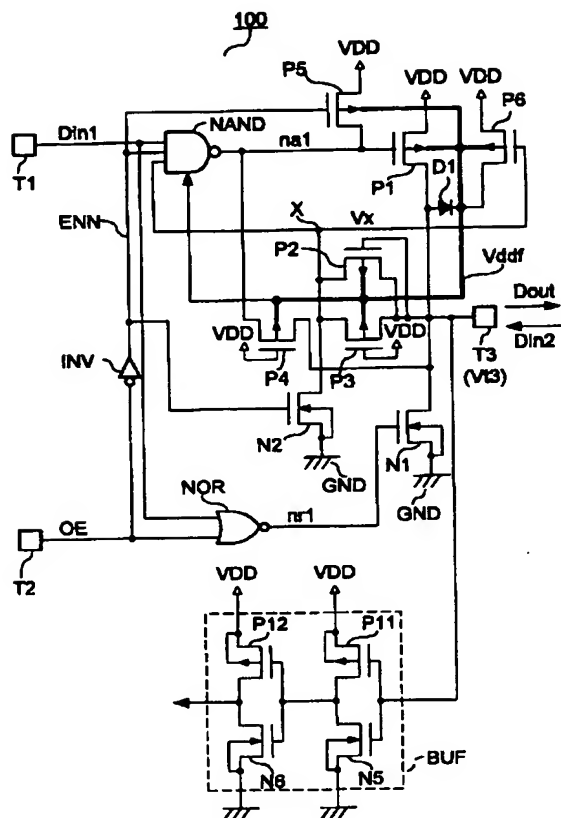
P1~P12, P5' Pチャネルトランジスタ、N1~N6 Nチャネルトランジスタ、NAND ナンド回路(第2の回路)、NOR ノア回路(第1の

50

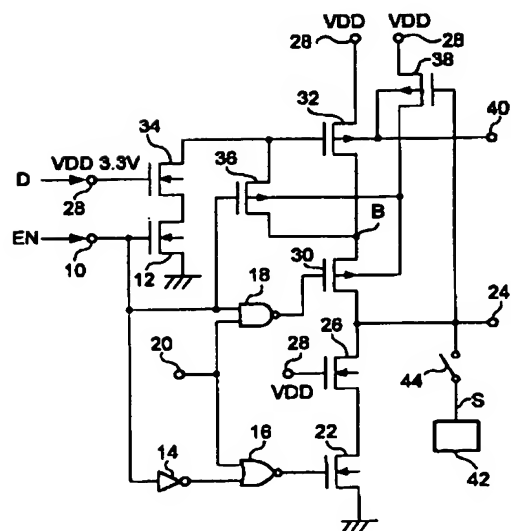
13

回路)、DL……遅延回路、100, 200……バッフ

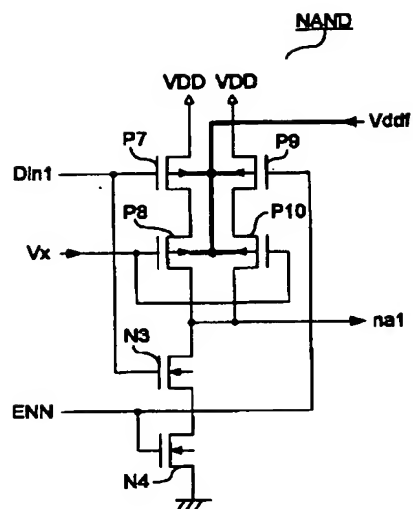
【图 1】



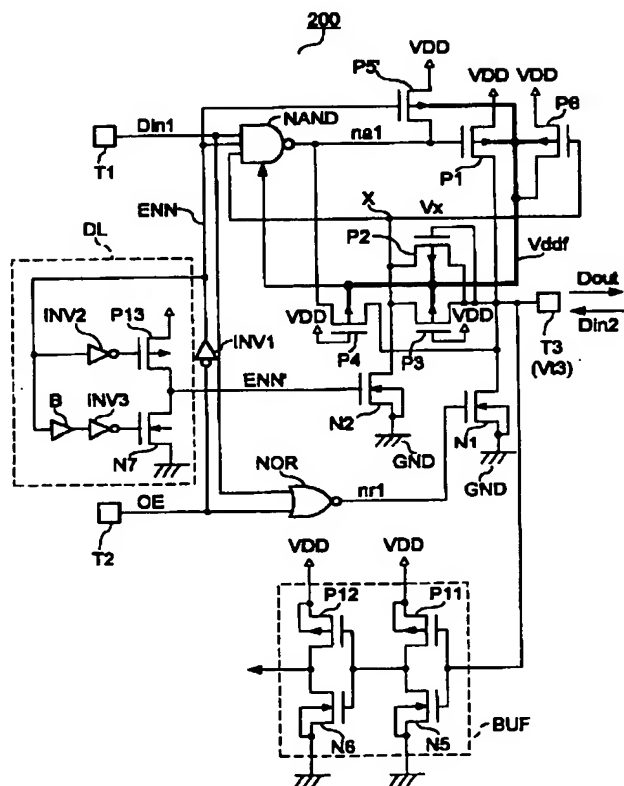
【図 4】



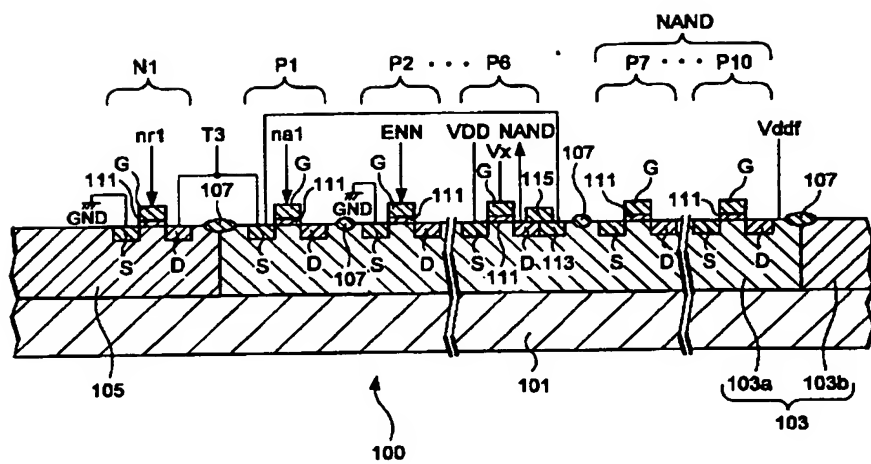
【图 2】



【図 3】



【図5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.